OIPE JC174
JAN 30 2004
PATENT & TRADEMARK OFFICE

XA-9950
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Tsuyoshi ARIGANE et al.

Appln. No.: 10/682,479 Group Art Unit: 2818

Filed: October 10, 2003

For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Applicants hereby claim the priority of Japanese Patent Application No. 2002-300163 filed October 15, 2002, and submit herewith a certified copy of said application.

Respectfully submitted,

By: _____
Mitchell W. Shapiro
Reg. No. 31,568

MWS:sys

Miles & Stockbridge P.C.
1751 Pinnacle Drive, Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

January 30, 2004

10/682,479
GAU 2818

310200654 KR

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: ２００２年１０月１５日

出願番号
Application Number: 特願２００２－３００１６３

[ST. 10/C]: [ＪＰ２００２－３００１６３]

出願人
Applicant(s): 株式会社ルネサステクノロジ

２００３年１０月３１日

特許庁長官
Commissioner,
Japan Patent Office 今井康夫

出証番号　出証特２００３－３０９０５７２

【書類名】　特許願
【整理番号】　NT02P0400
【提出日】　平成14年10月15日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 27/115
【発明者】
【住所又は居所】　東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内
【氏名】　有金　剛
【発明者】
【住所又は居所】　東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内
【氏名】　小林　孝
【発明者】
【住所又は居所】　東京都国分寺市東恋ヶ窪一丁目２８０番地　株式会社日立製作所　中央研究所内
【氏名】　笹子　佳孝
【特許出願人】
【識別番号】　000005108
【氏名又は名称】　株式会社日立製作所
【代理人】
【識別番号】　100068504
【弁理士】
【氏名又は名称】　小川　勝男
【電話番号】　03-3661-0071

【選任した代理人】

【識別番号】　100086656

【弁理士】

【氏名又は名称】　田中　恭助

【電話番号】　03-3661-0071

【選任した代理人】

【識別番号】　100094352

【弁理士】

【氏名又は名称】　佐々木　孝

【電話番号】　03-3661-0071

【手数料の表示】

【予納台帳番号】　081423

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　不揮発性半導体記憶装置

【特許請求の範囲】

【請求項１】

不揮発性メモリセルを複数個マトリックス状に配置して構成したメモリセルアレイと、

前記メモリセルアレイの素子分離領域を挟んで隣り合う第１および第２アクティブ領域を部分的に結束するアクティブ領域の結束部と、

前記結束部にグローバルビット線を接続するためのコンタクトホールと、

前記第１および第２アクティブ領域上にそれぞれ１個ずつ配置され、かつ、前記第１および第２アクティブ領域を選択するための第１および第２選択トランジスタを有することを特徴とする不揮発性半導体記憶装置。

【請求項２】

請求項１記載の不揮発性半導体記憶装置において、前記第１および第２アクティブ領域を選択するための第１および第２選択トランジスタは、ゲートが分断されていることを特徴とする不揮発性半導体記憶装置。

【請求項３】

請求項２記載の不揮発性半導体記憶装置において、前記第１および第２選択トランジスタの分断されたゲートは、前記グローバルビット線方向に２段に配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項４】

請求項３記載の不揮発性半導体記憶装置において、各段の選択トランジスタのゲートは前記アクティブ領域１本置きに配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項５】

請求項２～４のいずれかに記載の不揮発性半導体記憶装置において、前記コンタクトホールが前記第１および第２アクティブ領域の一方と前記結束部の交点に概ね配置され、かつ前記第１および第２選択トランジスタのうちメモリセル側に配置された選択トランジスタのゲートが前記コンタクトホールを配置するアクテ

ィブ領域上に配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項６】

請求項５記載の不揮発性半導体記憶装置において、前記第１および第２選択トランジスタのゲートは分断されて前記第１アクティブ領域から、前記第２アクティブ領域に隣接する第３アクティブ領域まで更に延長されて配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項７】

請求項２～６のいずれかに記載の不揮発性半導体記憶装置において、前記グローバルビット線に垂直で前記アクティブ領域の結束部を通る面に対して鏡面対称に、前記選択トランジスタのゲートおよび前記メモリセルアレイを構成するメモリブロックが配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項８】

請求項２～６のいずれかに記載の不揮発性半導体記憶装置において、前記メモリセルアレイを構成するメモリブロックが、前記グローバルビット線に垂直で前記アクティブ領域の結束部を通る面に対し鏡面対称に配置され、選択トランジスタのゲートは非鏡面対称に配置されていることを特徴とする不揮発性半導体記憶装置。

【請求項９】

請求項２～８のいずれかに記載の不揮発性半導体記憶装置において、メモリセルの接続が、グローバルビット線方向に直列接続であることを特徴とする不揮発性半導体記憶装置。

【請求項１０】

請求項２～８のいずれかに記載の不揮発性半導体記憶装置において、前記メモリセルの接続が、グローバルビット線方向に並列接続であることを特徴とする不揮発性半導体記憶装置。

【請求項１１】

請求項２～５、７～１０のいずれかに記載の不揮発性半導体記憶装置において、不揮発性メモリセルが第１ゲート、第２ゲート及び第１ゲート、第２ゲートとは機能の異なる第３ゲートを有することを特徴とする不揮発性半導体記憶装置。

【請求項１２】

第１ゲート、第２ゲート及び第１ゲート、第２ゲートとは機能の異なる第３ゲートを有する不揮発性メモリセルをマトリックス上に配置して構成したメモリセルアレイを有し、前記メモリセルアレイを構成するメモリセルの素子分離領域を挟んで隣り合う２本のアクティブ領域を１組として、それぞれのアクティブ領域がコンタクトホールを介して共有するグローバルビット線に接続され、かつ、前記アクティブ領域を選択するための第１および第２選択トランジスタを具備することを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は不揮発性半導体記憶装置に係り、特に電気的書き換え可能な不揮発性半導体記憶装置の高集積化に適したメモリセルアレイの構造に関する。

【０００２】

【従来の技術】

不揮発性半導体記憶装置の１つであるフラッシュメモリは携帯性、衝撃性に優れ、電気的に一括消去が可能なことから、近年、携帯型パーソナルコンピュータや携帯電話等の小型携帯情報機器の記憶装置として急速に需要が拡大している。

フラッシュメモリにおいてはビットコストの低減が重要な課題であり、これを実現するためにメモリセルのみならず選択トランジスタのレイアウトを工夫し、コンタクトホールとグローバルビット線数を減少させることによりチップ面積の低減を図る方法が提案されている。

【０００３】

従来のＮＡＮＤ型フラッシュメモリにおいては、２つのアクティブ領域が結束され、コンタクトホールを介してグローバルビット線と接続され、各アクティブ領域に配置される２つのメモリセルストリングを選択するための第１選択トランジスタがそのゲート配線を平行にして２列に配置される。各列の選択トランジスタは、エンハンスメント型トランジスタとディプレッション型トランジスタを交互に直列に接続して構成される。また、ソース線が前記アクティブ領域と直交す

るように配置され、前記ソース線と接続するように第２選択トランジスタが１列で配置され、２列の前記第１選択トランジスタと１列の前記第２選択トランジスタ間に第１ゲートと第２ゲートを有する複数のメモリセルトランジスタが直列に接続されている（例えば、特許文献１参照）。

【０００４】

また、前記第１選択トランジスタおよび前記第２選択トランジスタを分断して配置することにより選択トランジスタをエンハンスメント型トランジスタのみで形成し、ディプレッション型トランジスタ形成のためのイオン注入を不要として、製造工程の簡略化する方法がある（例えば、特許文献２参照）。

【０００５】

前記した２つの特許文献１および特許文献２の例では、従来、２列のアクティブ領域を共通のグローバルビット線に接続するために必要であった２列の選択トランジスタと２個のコンタクトホールを、２列の選択トランジスタと１個のコンタクトホールとすることにより、ビット線方向の面積を縮小し、チップ面積の低減を図っている。

【０００６】

【特許文献１】

特開平２－７４０６９号公報

【特許文献２】

特開平８－４６１５９号公報

【特許文献３】

特開２００１－２８４２８号公報

【０００７】

【発明が解決しようとする課題】

しかしながら、前述した２つの特許文献では、選択トランジスタ部自体を小面積化する方法は開示されていない。

【０００８】

本発明の目的は、選択トランジスタ部の面積を縮小化するレイアウト構成により集積度を向上させた不揮発性半導体記憶装置を提供することにある。

【０００９】

【課題を解決するための手段】

本発明に係る不揮発性半導体記憶装置は、上記課題を解決するために次のような構成を採用している。すなわち、不揮発性メモリセルを複数個マトリックス状に配置して構成したメモリセルアレイを有し、これらのメモリセルアレイの素子分離領域を挟んで隣り合う第１および第２アクティブ領域が結束され、かつコンタクトホールを介してグローバルビット線と接続されており、前記第１および第２アクティブ領域を選択するための第１および第２選択トランジスタを具備した不揮発性半導体記憶装置において、前記第１および前記第２選択トランジスタのゲートが、分断されて前記第１及び第２アクティブ領域上にそれぞれ１個ずつ配置されている。

【００１０】

上記不揮発性半導体記憶装置において、分断された前記第１および第２選択トランジスタのゲートはグローバルビット線方向に２段に配置する。

【００１１】

この場合、各段の選択トランジスタのゲートは前記アクティブ領域１本置きに配置すれば好適である。

【００１２】

さらに、前記コンタクトホールが前記第１および第２アクティブ領域の一方と前記結束部の交点に概ね配置され、かつ前記第１および第２選択トランジスタのうちメモリセル側に配置された選択トランジスタのゲートがコンタクトホールの配置されているアクティブ領域上に配置すれば好適である。

【００１３】

またさらに、前記第１および第２選択トランジスタのゲートは分断されて前記第１アクティブ領域から、第２アクティブ領域に隣接する第３アクティブ領域まで延長されて配置すれば好適である。

【００１４】

また、前記グローバルビット線に垂直で前記アクティブ領域の結束部を通る面に対し鏡面対称に、前記選択トランジスタのゲートおよびメモリブロックを配置

すれば好適である。

【００１５】

また、前記メモリブロックは前記グローバルビット線に垂直で前記アクティブ領域の結束部を通る面に対し鏡面対称に配置され、選択トランジスタのゲートは非鏡面対称に配置されてもよい。

【００１６】

上記不揮発性半導体記憶装置において、メモリセルの接続方式がグローバルビット線方向に直列接続である。

【００１７】

上記不揮発性半導体記憶装置において、メモリセルの接続方式がグローバルビット線方向に並列接続である。

【００１８】

上記不揮発性半導体記憶装置において、不揮発性メモリセルが第1ゲート、第2ゲート及び第１ゲート、第２ゲートとは機能の異なる第３ゲートを有する。

【００１９】

また、本発明の別の構成は、第１ゲート、第２ゲート及び第１ゲート、第２ゲートとは機能の異なる第３ゲートを有する不揮発性メモリセルをマトリックス状に配置して構成したメモリセルアレイを有し、これらのメモリセルの素子分離領域を挟んで隣り合う２本のアクティブ領域を１組とし、それぞれのアクティブ領域はコンタクトホールを介して共有するグローバルビット線に接続され、前記アクティブ領域を選択するための第１および第２選択トランジスタを具備していることを特徴としている。

【００２０】

【発明の実施の形態】

以下、本発明に係る不揮発性半導体記憶装置の好適な実施の形態について、添付図面を参照しながら詳細に説明する。

【００２１】

＜実施の形態１＞

図１及び図６は、本発明に係る不揮発性半導体記憶装置の第１の実施の形態を

示すレイアウト図である。なお、図面を見やすくするために各部材にハッチングを施し、一部の部材は省略している。また、図２～図５は、それぞれ図１に示したＡ－Ａ’線、Ｂ－Ｂ’線、Ｃ－Ｃ’線、Ｄ－Ｄ’線に沿った部分の断面図である。なお、Ｂ－Ｂ’断面に対応する図３ではコンタクトホール108に第１層メタル配線M1のドグボーン107を示したが、図１のレイアウト図では見にくくなるため省略した。また、図３では第１層メタル配線M1と第２層メタル配線M2間を接続するコンタクトホール108’を表示したが、アクティブ領域100の結束部CNPと結束部CNP上の第１層メタル配線M1を接続するコンタクトホール108と同じパターンであり、同様に図１のレイアウト図では見にくくなるため省略した。

【００２２】

図１に示したように、アクティブ領域100上には、メモリセル101が複数個直列に配置されたメモリセル列が並行に複数列配置され、メモリセルアレイMCAを構成している。これらのメモリセル列の両端には選択トランジスタのゲート102がそれぞれ１個ずつ配置されており、選択トランジスタのゲート102は各アクティブ領域100上で分断されている。また、選択トランジスタのゲートはグローバルビット線103に垂直な方向に２段に配置され、各段において選択トランジスタのゲート102がアクティブ領域１本置きに配置されている。さらに、選択トランジスタのゲート102は、コンタクトホール106を介してゲート配線107により接続されている（図２、図４、図５参照）。

【００２３】

なお、図２に示すように各メモリセル101は、浮遊ゲートFG（第１ゲート）と制御ゲートCG（第２ゲート）からなっている。なお、図２において、20はアクティブ領域101と浮遊ゲートFG間の層間絶縁膜、21は浮遊ゲートと第２ゲート間の層間絶縁膜である。22、23も層間の絶縁膜である。

【００２４】

第１選択トランジスタ部104および第２選択トランジスタ部105は、グローバルビット線103に垂直な方向に２段に配置され、アクティブ領域100の結束部CNPに対して非鏡面対称（第１選択トランジスタ部で言えば、Ｂ－Ｂ’線に対して非線対称）に配置されている。アクティブ領域は、互いに隣接する第２選択トランジ

スタ部105の間ではすべて結束されている。一方、互いに隣接する第１選択トランジスタ部104の間では、隣接する２本のアクティブ領域がＨ型に結束され、結束部CNPを形成している。コンタクトホール108はＨ型の結束部CNPに配置され、グローバルビット線103と接続される（図１、図３）。本配置により、図６に示すように隣接する選択トランジスタのゲート間距離を最小加工寸法Ｆとすることが可能となり、２段に構成された選択トランジスタのピッチを縮小することができる。これにより、第１及び第２選択トランジスタ部104,105の面積はグローバルビット線方向に縮小される。

【００２５】

次に、本実施の形態における選択トランジスタの動作方法を、図７を用いて説明する。ここでは、２段の第１選択トランジスタ部104および第２選択トランジスタ部105を動作させてメモリセルアレイMCA内のメモリセル列を選択する場合について述べる。なお、図７においてCSはソース線である。

【００２６】

まず、グローバルビット線103をハイ(High)にして、選択トランジスタ用の配線ST1，ST1’，ST2’を０Ｖとして、これらの配線に接続された選択トランジスタをオフとする。配線ST2をHighにして、この配線に接続された選択トランジスタをオンにすると、Ａ列とＡ’列が選択され、グローバルビット線103の電位がＡ列とＡ’列に転送される。この時、他のメモリセル列はグローバルビット線から切り離される。

【００２７】

同様に、選択トランジスタ用の配線ST1’，ST2’，ST2’を０Ｖとして、配線ST1をHighにして、これらの配線に接続された選択トランジスタをオンにすると、Ｂ列とＢ’列が選択される。

【００２８】

また、選択トランジスタ用の配線ST1，ST1’，ST2を０Ｖとして、これらの配線に接続された選択トランジスタをオフとする。配線ST2’をHighとし、この配線に接続された選択トランジスタをオンにすると、Ｃ列とＣ’列が選択され、グローバルビット線103の電位がＣ列とＣ’列に転送される。

【００２９】

また、選択トランジスタ用の配線ST1，ST2，ST2’を０Ｖとして、これらの配線に接続された選択トランジスタをオフとする。配線ST1’をHighとし、この配線に接続された選択トランジスタをオンにすると、Ｄ列とＤ’列が選択され、グローバルビット線103の電位がＤ列とＤ’列に転送される。

【００３０】

したがって、隣接する結束して共有化した２本のアクティブ領域上のメモリセルにおいて、Ａ列が選択された場合にはＡ’列、Ｂ列が選択された場合にはＢ’列、Ｃ列が選択された場合にはＣ’列、Ｄ列が選択された場合にはＤ’列が選択される。

【００３１】

本実施の形態によれば、選択トランジスタ部のレイアウト面積を縮小できるという効果がある。また、エンハンスメント型トランジスタとディプレッション型トランジスタをグローバルビット線方向に適宜直列に接続して配置している従来の選択トランジスタでは、ディプレッション型トランジスタを作成するためのイオン注入が必要であった。本実施の形態では、ゲートを分断することによりディプレッション型トランジスタが不要となるので前記イオン注入が不要となり、製造工程を簡略化できる。

【００３２】

＜実施の形態２＞

次に、本発明に係る不揮発性半導体記憶装置の第２の実施の形態を図８により説明する。実施の形態１との違いは、第１選択トランジスタ部104における選択トランジスタのゲート102がアクティブ領域100の結束部CNPに対して鏡面対象（すなわち、Ｅ－Ｅ’線に対して線対称）であること、及びコンタクトホール108をアクティブ結束部CNPの中心からアクティブ結束部CNPとアクティブ領域100の交点にずらして配置していることであり、その他の部材、材料、構造等は前述した実施の形態１と同様である。

【００３３】

従来の選択トランジスタ部分の構造は、４段の選択トランジスタおよび選択ト

ランジスタとコンタクトホールの合わせ余裕およびコンタクトホールの配置スペースが必要であったが、本実施の形態による選択トランジスタ部分の利点は、コンタクトホール108をアクティブ領域100の結束部とアクティブ領域の交点にずらし、分断された選択トランジスタのゲート102間の間隙に配置することによって、選択トランジスタのレイアウトスペースが４段の選択トランジスタゲートの配置スペースのみとなり、実施の形態１と比較してさらに選択トランジスタ部分の面積縮小が図れることである。

本実施の形態２の選択トランジスタ動作方法は、前記実施の形態１の選択トランジスタ動作方法と同様である。

【００３４】

＜実施の形態３＞

次に、本発明に係る不揮発性半導体記憶装置の第３の実施の形態を図９により説明する。実施の形態２との違いは、隣接する第１選択トランジスタ部104が、グローバルビット線103に垂直でアクティブ領域の結束部CNPの中央を通過する面に対し非対称であることであり、コンタクトホール108をアクティブ結束部CNPとアクティブ領域100の交点に配置している。その他の部材、材料、構造等は実施の形態１と同様である。

【００３５】

これにより、第１選択トランジスタ部104が４段の選択トランジスタゲート102のみでレイアウトでき、実施の形態１と比較して選択トランジスタ部分の面積縮小が図れる。本実施の形態３の選択トランジスタ動作方法は前記実施の形態１の選択トランジスタ動作方法と同様である。

【００３６】

＜実施の形態４＞

次に、本発明に係る不揮発性半導体記憶装置の第４の実施の形態を図１０により説明する。

【００３７】

実施の形態２との違いは、第１選択トランジスタ部104のゲート102が隣接する２つのアクティブ領域100に共通となるよう配置されていることである。つまり

、分断された選択トランジスタゲート102は、Ｈ型に結束された第１および第２アクティブ領域100-1,100-2の一方側から、隣接する第３のアクティブ領域100-3まで、延長されて配置されている。

【００３８】

本実施の形態の利点は、実施の形態１～３と比較して、前記第１選択トランジスタ部104および前記第２選択トランジスタ部105のゲート電極107に配置されるコンタクトホール106の数を低減させることにより、コンタクトホールのピッチを緩和することができる点であり、選択トランジスタのゲートとコンタクトホールの接触不良に起因した歩留りの低下を抑制することが可能となる。また、実施の形態２と同様に、グローバルビット線103とアクティブ領域100を接続するコンタクトホール108を、分断された選択トランジスタのゲート間の隙間に配置することにより、選択トランジスタ部を４列の選択トランジスタゲートによりレイアウト可能となり、実施の形態１と比較して選択トランジスタ部分の面積縮小が図れる。

【００３９】

本実施の形態における選択トランジスタの動作方法は実施の形態１と同様であるが、図１１に示したように、分断された選択トランジスタゲート102の配置が異なることから、Ａ列が選択された場合にはＢ’列、Ｂ列が選択された場合にはＡ’列、Ｃ列が選択された場合にはＤ’列、Ｄ列が選択された場合にはＣ’列が選択される。

【００４０】

＜実施の形態５＞

次に、本発明に係る不揮発性半導体記憶装置の第５の実施の形態を図１２により説明する。実施の形態４との違いは、コンタクトホール108が、グローバルビット線103に垂直でアクティブ結束部CNPの中央を通る面に対し非鏡面対称に配置されていることであり、その他の部材、材料、構造等は実施の形態４と同様である。

【００４１】

本実施の形態の利点は、実施の形態４と同様に実施の形態１～３と比較して、

第１選択トランジスタ部104および第２選択トランジスタ部105のゲート電極102に至るコンタクトホール106の数を低減させ、コンタクトホールのピッチを緩和することが可能であり、選択トランジスタのゲートとコンタクトホールの接触不良に起因した歩留りの低下を抑制できる点である。加えて、実施の形態２と同様に、コンタクトホール108を、分断された選択トランジスタのゲート間の隙間に配置することにより、選択トランジスタ部を４列の選択トランジスタのゲートでレイアウトすることが可能となる。これにより、実施の形態１と比較して第１及び第２選択トランジスタ部104,105の面積縮小が図れることである。

本実施の形態の選択トランジスタ動作方法は、前記実施の形態４の選択トランジスタ動作方法と同様である。

【００４２】

なお、実施の形態１～５では、メモリセルを直列に接続したいわゆるNAND型を例に挙げて説明したが、メモリセルを並列に接続するNOR型やAND型においても適用可能であり、同様の効果が得られる。

【００４３】

＜実施の形態６＞

次に、本発明に係る不揮発性半導体記憶装置の第６の実施の形態を説明する。本実施の形態は、グローバルビット線方向にサイズを低減できるレイアウトを、第１及び第２ゲートの他に機能の異なる第３ゲートを有し、ゲート選択トランジスタのゲートがアクティブ領域上で分断されていないタイプの不揮発性半導体記憶装置に本発明を適用する場合の例である。 なお、このような第３ゲートを有する不揮発性半導体記憶装置としては、例えば、特許文献３に記載されている。

【００４４】

まず、本願発明者らが先に検討したレイアウトを図１３に示す。図１３において、アクティブ領域100上に第３ゲート111が形成され、第３ゲートの隙間にメモリセル101が複数個配置されている。メモリセル101の両端には選択トランジスタのゲート102が、それぞれ２個ずつ配置されている。選択トランジスタのゲート102は、グローバルビット線103方向に垂直に２段で配置されている。

【００４５】

第１選択トランジスタ部104および第２選択トランジスタ部105は、選択トランジスタのゲート102と、選択トランジスタのゲート用コンタクトホール106、選択トランジスタ用の配線107から構成されている。なお、選択トランジスタのゲートがアクティブ領域上で分断されていないので、選択トランジスタのゲート用コンタクトホール106と選択トランジスタ用の配線107は、端部で接続すればよいので、ゲート102が共通している複数の選択トランジスタのゲートの端の方でコンタクトホール106を１個設けて配線107と接続しているが、図１３に示した範囲では図示していない。本選択トランジスタは、エンハンスメント型トランジスタとディプレッション型トランジスタを直列に接続して構成されている。第１選択トランジスタ部104および第２選択トランジスタ部105は、グローバルビット線103に垂直な方向に２段で配置している。アクティブ領域100は、隣接する第２選択トランジスタ部105の間ですべて結束されている。

【００４６】

コンタクトホール108は第１選択トランジスタ部104の各アクティブ領域100に配置され、グローバルビット線103と接続される。また、109はシリコン酸化膜(フィールド酸化膜)からなる素子分離領域であり、110はメモリセル用ゲート配線である。

【００４７】

図１３に示した配置により、第１ゲート(浮遊ゲート)および第２ゲート（制御ゲート）とは機能の異なる第３ゲートが第１ゲートおよび第２ゲートの隙間に埋め込まれて存在する不揮発性メモリセルにおいて、共通のグローバルビット線103に２本のアクティブ領域100を接続可能である。このレイアウトにおいて、隣接するコンタクトホール108間のスペースを最小加工寸法とすることにより、グローバルビット線方向にサイズを低減できる。

【００４８】

次に、図１３における選択トランジスタの動作方法を、図１４を参照して説明する。

ここでは、２段の第１選択トランジスタ部104および第２選択トランジスタ部105を動作させてメモリセル列Ａ，Ｂ，Ｃ，Ｄがそれぞれ選択できればよい。ただ

し、第１ゲートおよび第２ゲートとは機能の異なる第３ゲートが第１ゲートおよび第２ゲートの隙間に埋め込まれて存在するメモリセルにおいては、ソースおよびドレイン拡散層は隣接するメモリセルと拡散層を共用する仮想接地型であるため、図１４の例えばＢ列を選択する場合には、隣接するＡ列およびＡ’列は素子分離領域として動作することから、選択するメモリセル列は１列おきとなる。

【００４９】

まず、図１４のそれぞれＡ～Ｄで囲まれた領域に着目する。グローバルビット線103をHighとする。配線ST2’ST1’，ST1を0Vにし、これらの配線に接続された選択トランジスタをオフにし、配線ST2をHighにしてこの配線に接続された選択トランジスタをオンにすると、Ａ列のみが選択され、グローバルビット線103の電位がＡ列に転送される。この時、他のビットはグローバルビット線103から切り離される。同様に配線ST1をHighとし、それ以外の配線を0VにするとＢ列、配線ST2’をHighとし、それ以外の配線を0VにするとＤ列、配線ST1’をHighとし、それ以外の配線を0VにするとＣ列が選択される。

【００５０】

一方、配線ST3’，ST4’を0Vにし、これらの配線に接続された選択トランジスタをオフにし、配線ST3をHighにして選択トランジスタをオンにすると、Ｂ列のみが選択され、ソース線CSの電位がＢ列に転送される。この時、他のメモリセル列はソース線CSから切り離される。同様に、配線ST4をHighとし、それ以外の配線を0VにするとＡ列、配線ST4’をHighとし、それ以外の配線を0VにするとＤ列、配線ST3’をHighとし、それ以外の配線を0VにするとＣ列が選択される。したがって、隣接する結束して共有化した２本のアクティブ領域上のメモリセルはＡ列が選択された場合にはＡ’列、Ｂ列が選択された場合にはＢ’列、Ｃ列が選択された場合にはＣ’列、Ｄ列が選択された場合にはＤ’列が選択される。

【００５１】

次に、図１５により、本発明に係る不揮発性半導体記憶装置の第６の実施の形態を説明する。先に検討した図１３との違いは、隣り合うアクティブ領域100にＨ型の結束部CNPを設けていることであり、その他の部材、材料、構造等は、図１３の場合と同様である。

【００５２】

図１５に示すように２本のアクティブ領域を結束して共有化することにより、第１ゲートおよび第２ゲートとは機能の異なる第３ゲートが前記第１ゲートおよび第２ゲートの隙間に埋め込まれて存在する不揮発性メモリセルにおいて、コンタクトホールの数を低減することが可能である。これにより、図１３と比較して更にグローバルビット線方向にメモリセルの集積化が可能となる。

本実施の形態の選択トランジスタ動作方法は、図１３の場合の選択トランジスタ動作方法と同様である。

【００５３】

＜実施の形態７＞

次に、本発明に係る不揮発性半導体記憶装置の第７の実施の形態を図１６により説明する。実施の形態６との違いは、選択トランジスタのゲート102を分断していること、コンタクトホール108の配置をアクティブ領域100の結束部CNPの中心からアクティブ領域の結束部とアクティブ領域の交点にずらして配置していることであり、その他の部材、材料、構造等は実施の形態６と同様である。

【００５４】

本実施の形態の配置による選択トランジスタ部分の利点は、選択トランジスタのゲートを分断して配置することにより、隣接する選択トランジスタ間のそれぞれのゲートとの合わせ余裕を最小加工寸法とすることができるので、選択トランジスタ部のグローバルビット線方向のレイアウト面積を縮小できる点である。

【００５５】

加えて、コンタクトホール106を分断された選択トランジスタのゲート間の間隙に配置することによって選択トランジスタのレイアウトスペースが４列の選択トランジスタのゲートの配置スペースのみとなり、実施の形態６と比較して選択トランジスタ部分の面積縮小が図れることである。

なお、本実施の形態の選択トランジスタ動作方法は、図１３の場合の選択トランジスタ動作方法と同様である。

【００５６】

＜実施の形態８＞

次に、本発明に係る不揮発性半導体記憶装置の第８の実施の形態を図１７により説明する。実施の形態７との違いは、第１選択トランジスタ部104のゲート102の配置のみであり、その他の部材、材料、構造等は実施の形態７と同様である。

【００５７】

本実施の形態の配置では、選択トランジスタ用のゲート配線107および選択トランジスタ用ゲート電極のコンタクトホール106をメモリセル側にずらして配置することにより、実施の形態８と同様に４列の選択トランジスタのゲートの配置スペースのみで選択トランジスタ部104，105がレイアウトでき、図１３の場合と比較して選択トランジスタ部分の面積縮小が図れる。

【００５８】

以上、本発明の好適な実施の形態例について説明したが、本発明は上記実施の形態例に限定されるものではなく、本発明の精神を逸脱しない範囲内において、種々の設計変更を為し得ることは勿論である。

【００５９】

【発明の効果】

前述した実施の形態例より明らかなように、本発明に係る不揮発性半導体記憶装置によれば、２段に構成された選択トランジスタのピッチを縮小することができる。これにより選択トランジスタ部の面積をグローバルビット線方向に縮小可能となり、チップ面積を縮小できる。

【図面の簡単な説明】

【図１】

本発明に係る不揮発性半導体記憶装置の第１の実施の形態のレイアウト例を示す平面図。

【図２】

図１に示したＡ－Ａ’線に沿った部分の断面構造図。

【図３】

図１に示したＢ－Ｂ’線に沿った部分の断面構造図。

【図４】

図１に示したＣ－Ｃ’線に沿った部分の断面構造図。

【図５】

図１に示したＤ－Ｄ’線に沿った部分の断面構造図。

【図６】

図１のＨ型の結束部近傍における隣接する選択トランジスタのゲート間の最小加工寸法でのレイアウトを示す図。

【図７】

実施の形態１の選択トランジスタの動作方法を説明するための回路図。

【図８】

本発明に係る不揮発性半導体記憶装置の第２の実施の形態のレイアウト例を示す平面図。

【図９】

本発明に係る不揮発性半導体記憶装置の第３の実施の形態のレイアウトを示す平面図。

【図１０】

本発明に係る不揮発性半導体記憶装置の第４の実施の形態のレイアウト例を示す平面図。

【図１１】

実施の形態４の選択トランジスタの動作方法を説明するための回路図。

【図１２】

本発明に係る不揮発性半導体記憶装置の第５の実施の形態のレイアウト例を示す平面図。

【図１３】

本発明に先立って検討した不揮発性半導体記憶装置のレイアウト例を示す平面図。

【図１４】

図１３の選択トランジスタの動作方法を説明するための回路図。

【図１５】

本発明に係る不揮発性半導体記憶装置の第６の実施の形態のレイアウト例を示す平面図。

【図１６】

本発明に係る不揮発性半導体記憶装置の第７の実施の形態のレイアウト例を示す平面図。

【図１７】

本発明に係る不揮発性半導体記憶装置の第８の実施の形態のレイアウト例を示す平面図。

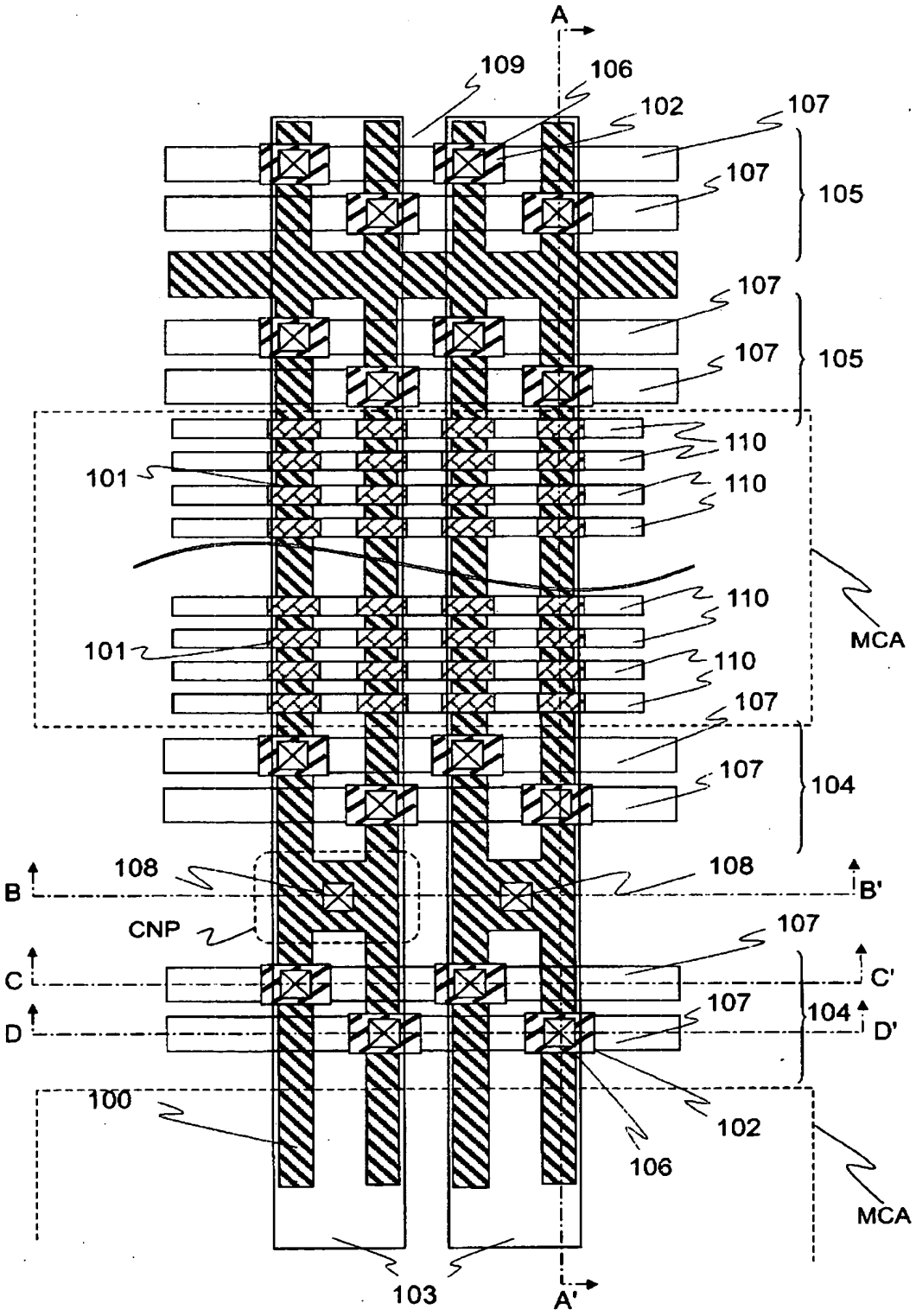
【符号の説明】

20～23…層間絶縁膜、100，100-1，100-2，100-3…アクティブ領域、101…メモリセル、102…選択トランジスタのゲート、103…グローバルビット線、104…第１選択トランジスタ部、105…第２選択トランジスタ部、106…選択トランジスタ用ゲート電極のコンタクトホール、107…選択トランジスタ用ゲート配線、108，108’…コンタクトホール、109…フィールド酸化膜、110…メモリセルのゲート配線、111…第３ゲート、CNP…結束部、M1…第１層メタル配線、M2…第２層メタル配線、F…最小加工寸法、FG…浮遊ゲート（第１ゲート）、CG…制御ゲート（第２ゲート）、MCA…メモリセルアレイ。

【書類名】図面

【図１】

図１


A
109
106
102
107
107
105
107
107
105
110
101
110
110
MCA
101
110
110
107
107
104
B
108
108
B'
CNP
107
C
C'
D
107
104
D'
100
102
106
MCA
103
A'

【図２】

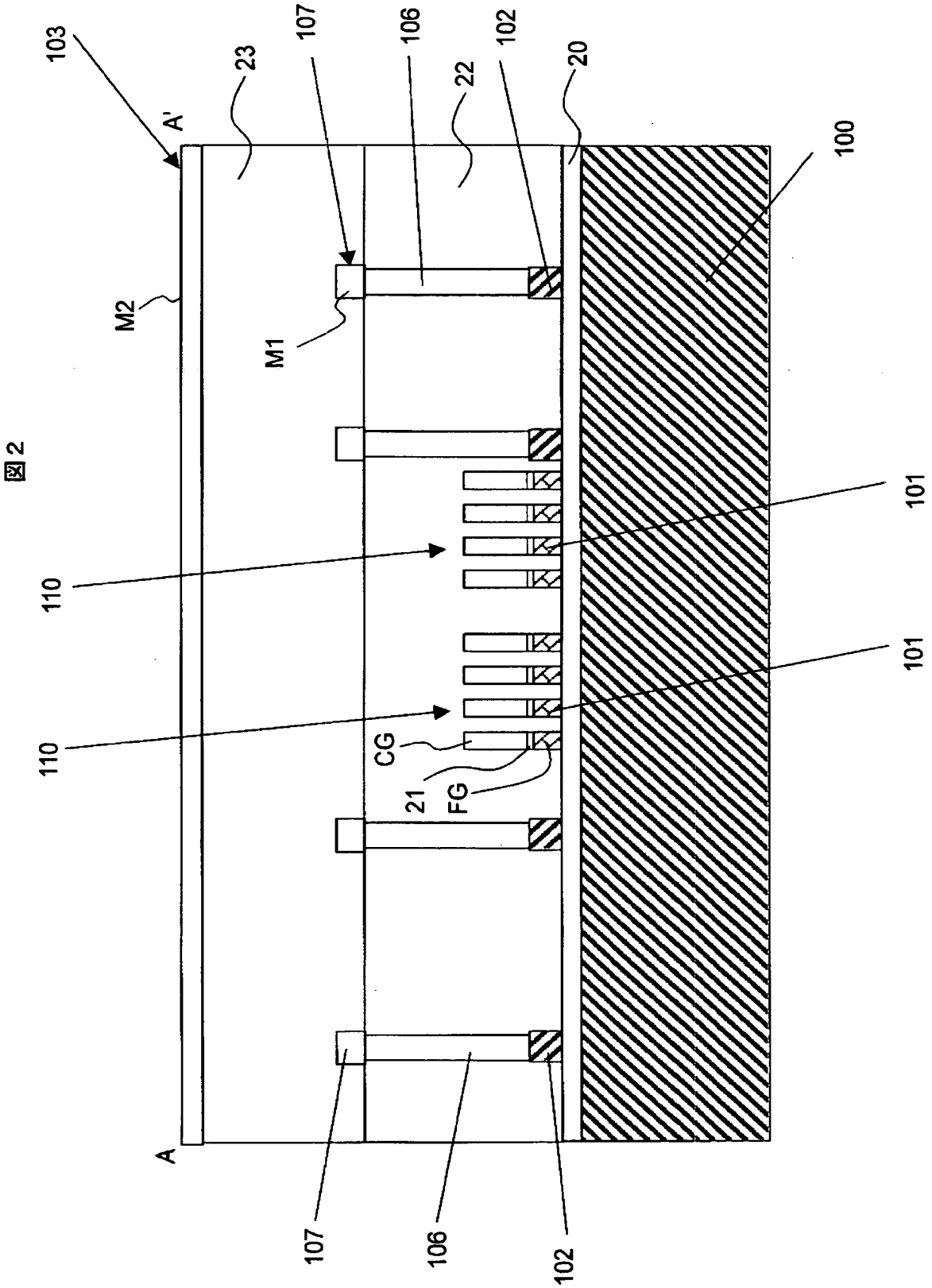
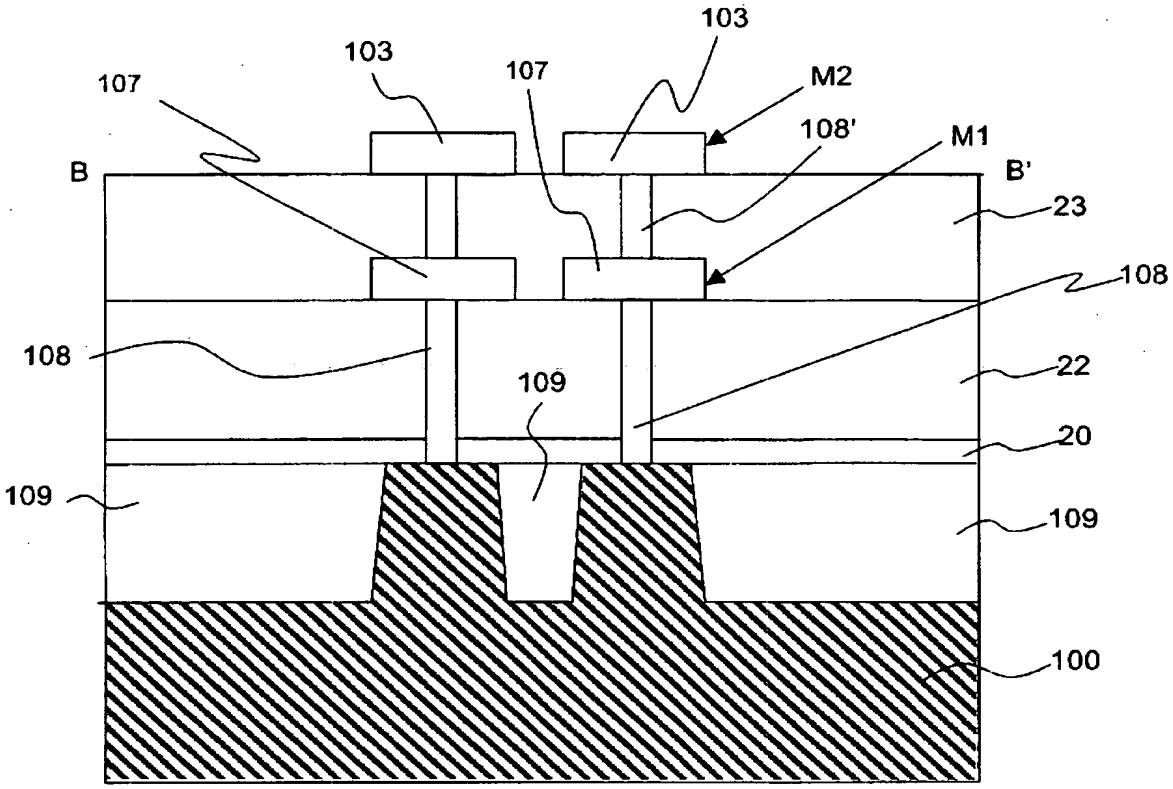

103
A'
23
107
106
22
102
20
100
M2
M1
101
110
101
110
CG
21
FG
A
107
106
102

図２

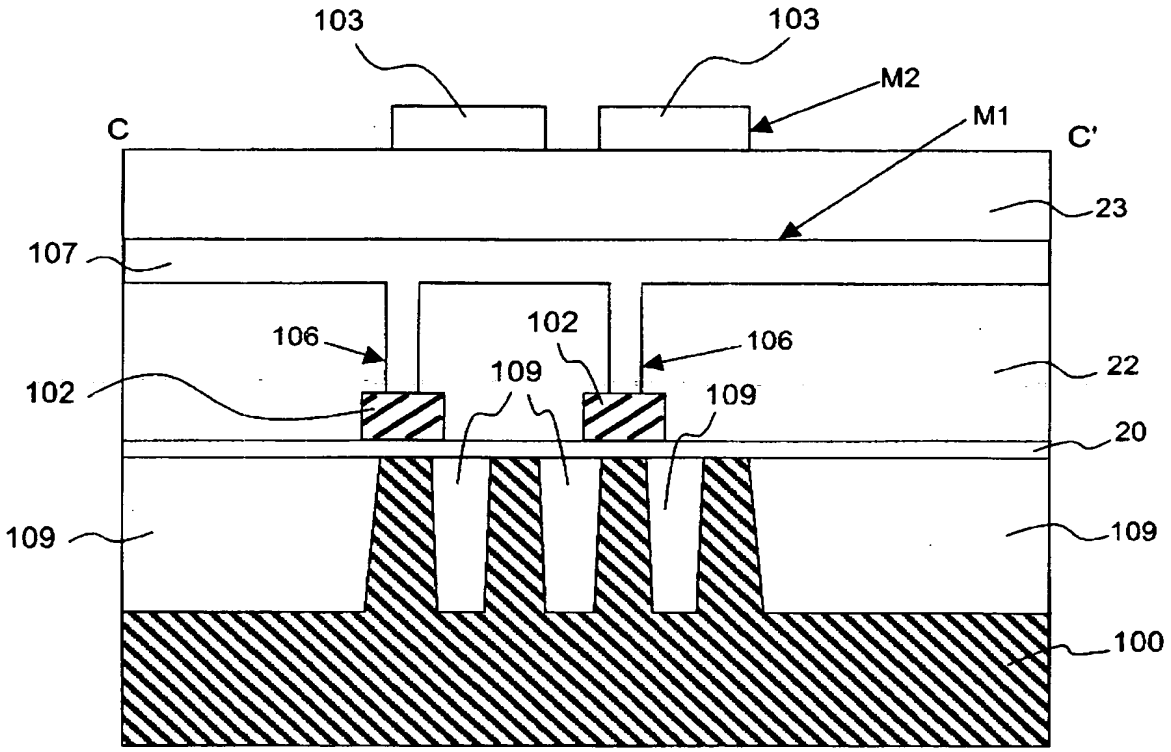
【図３】

図３



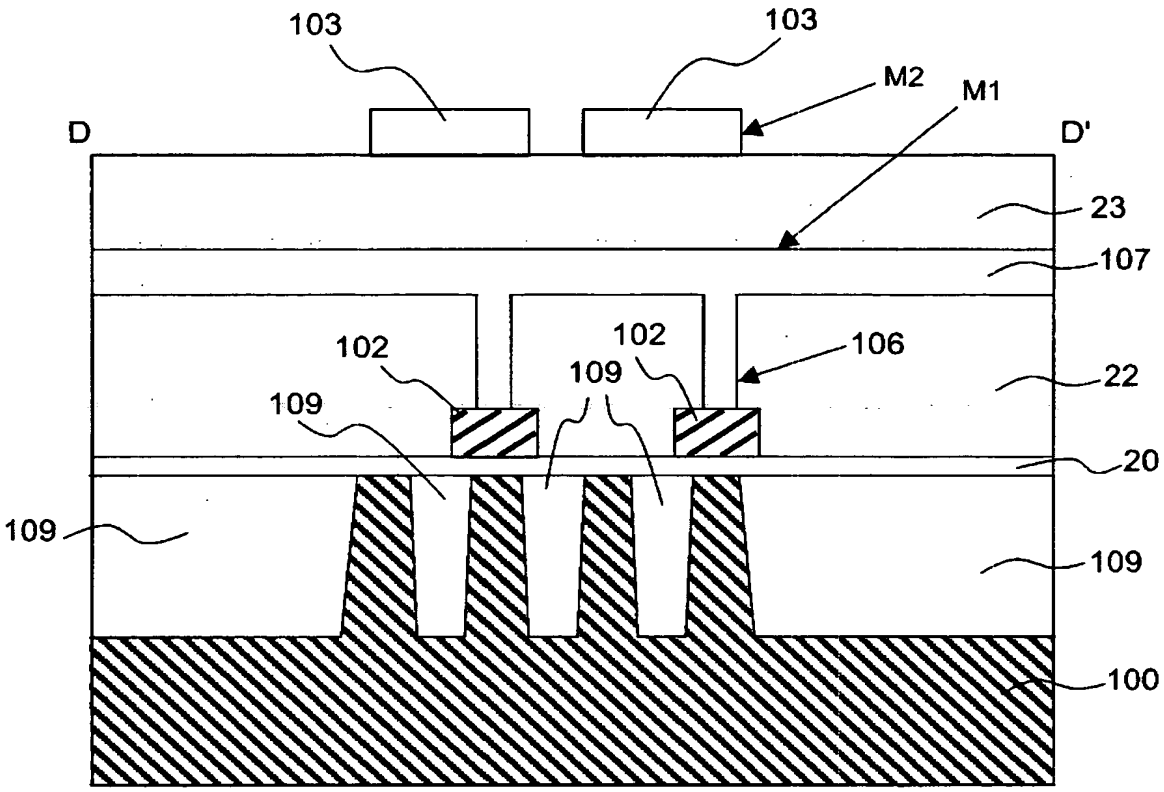
【図４】

図４



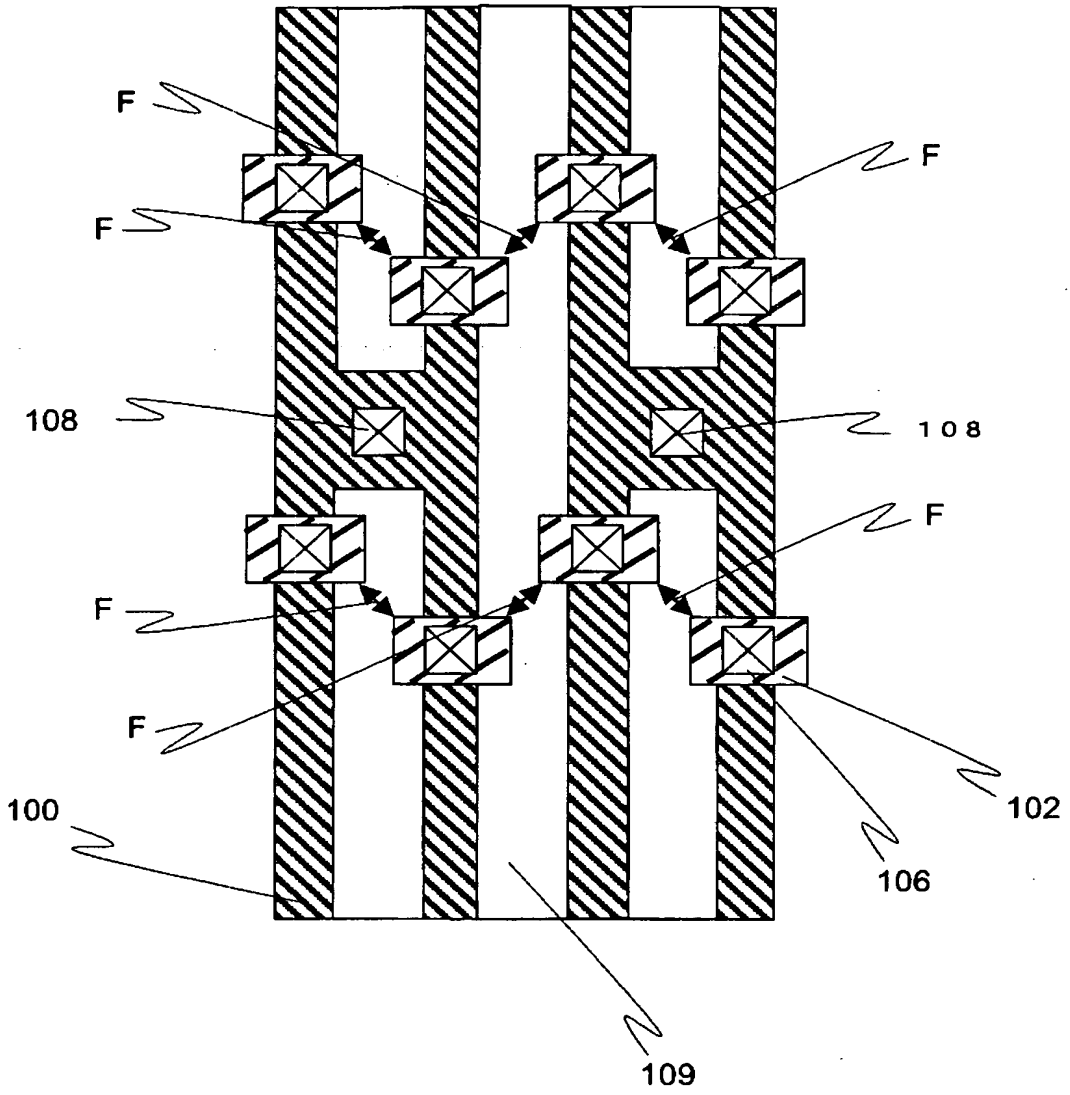
【図５】

図５



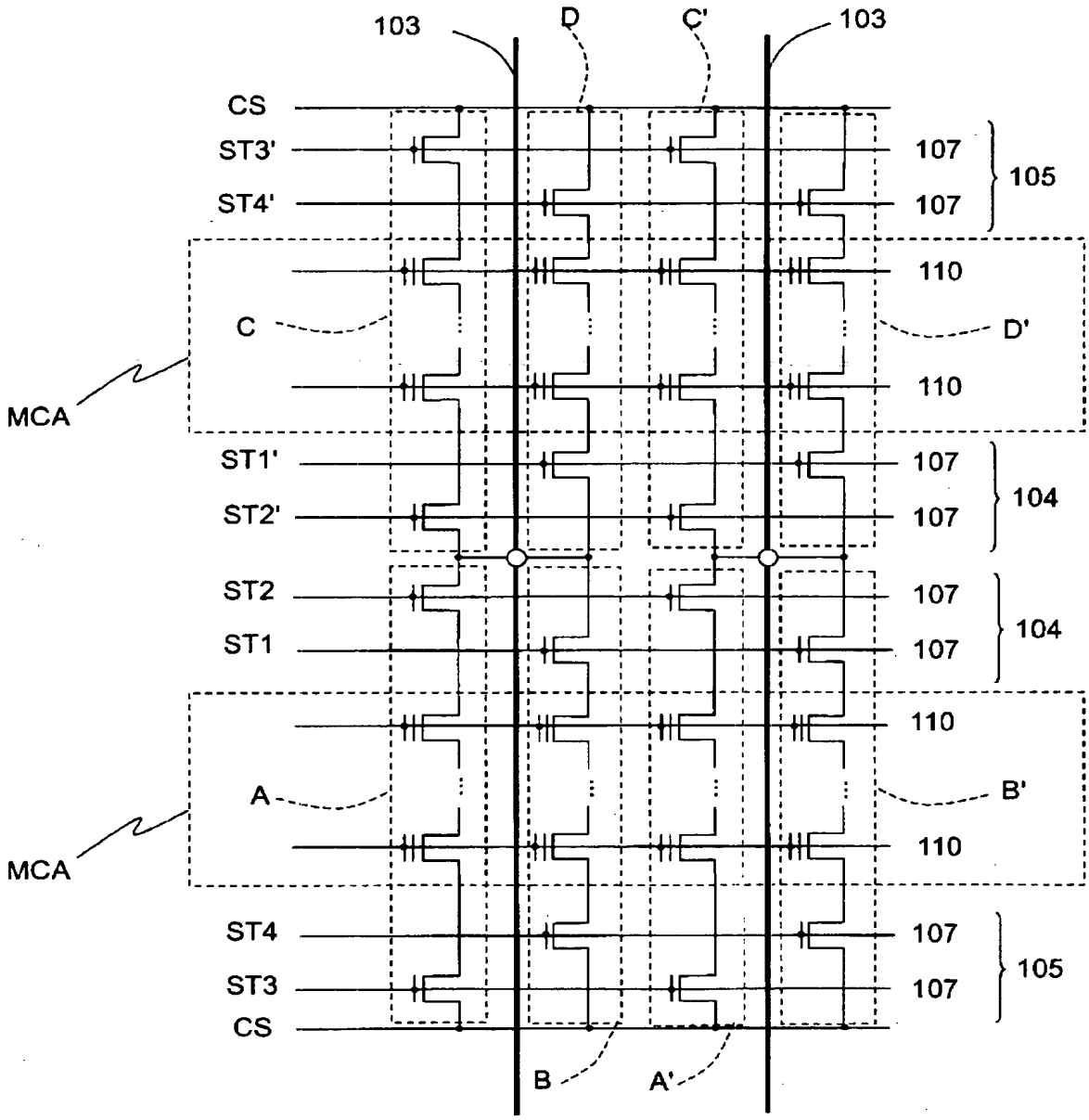
【図６】

図６



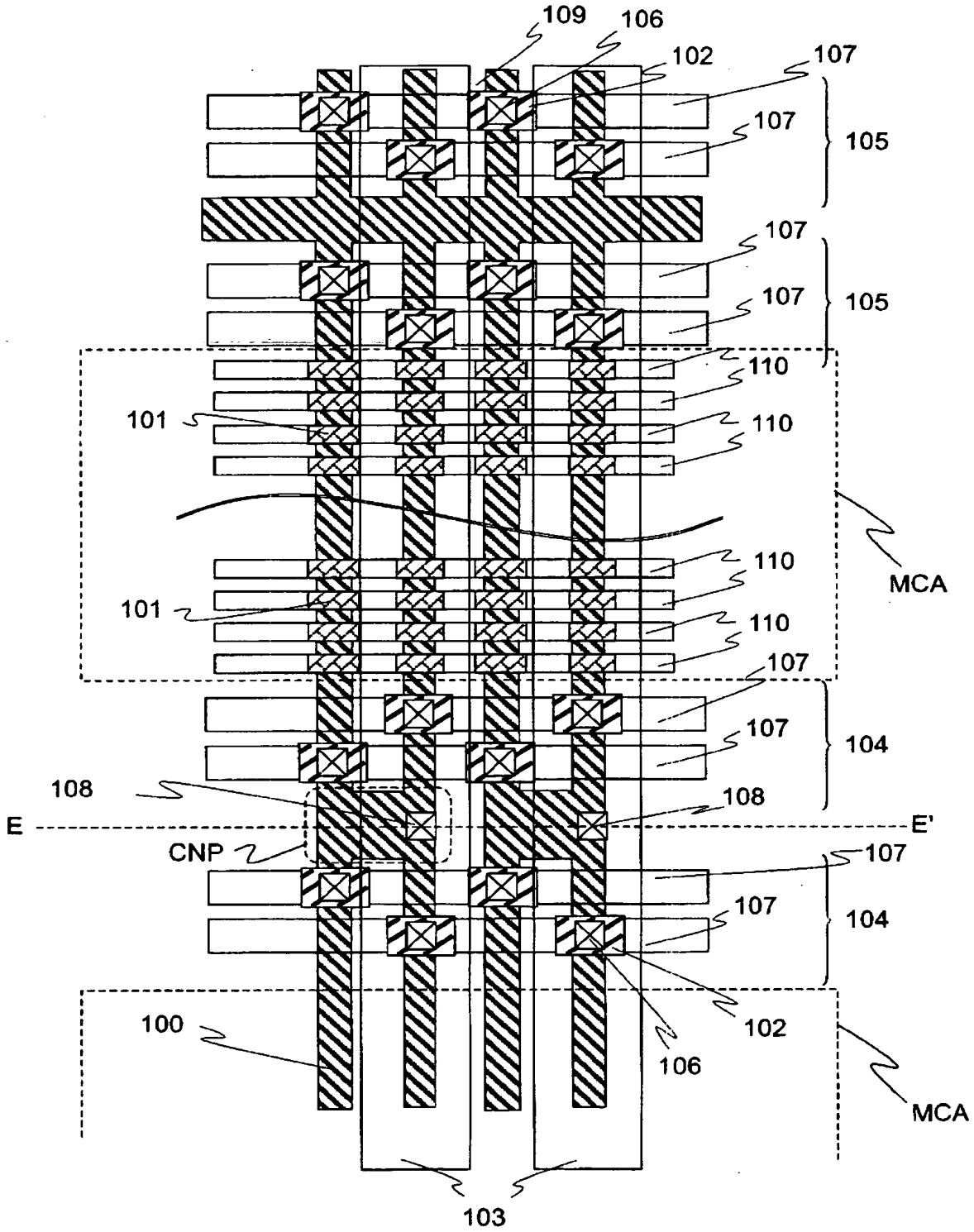
【図７】

図７


103
D
C'
103
CS
ST3'
ST4'
107
107
105
110
C
D'
110
MCA
ST1'
ST2'
107
107
104
ST2
ST1
107
107
104
110
A
B'
110
MCA
ST4
ST3
CS
107
107
105
B
A'

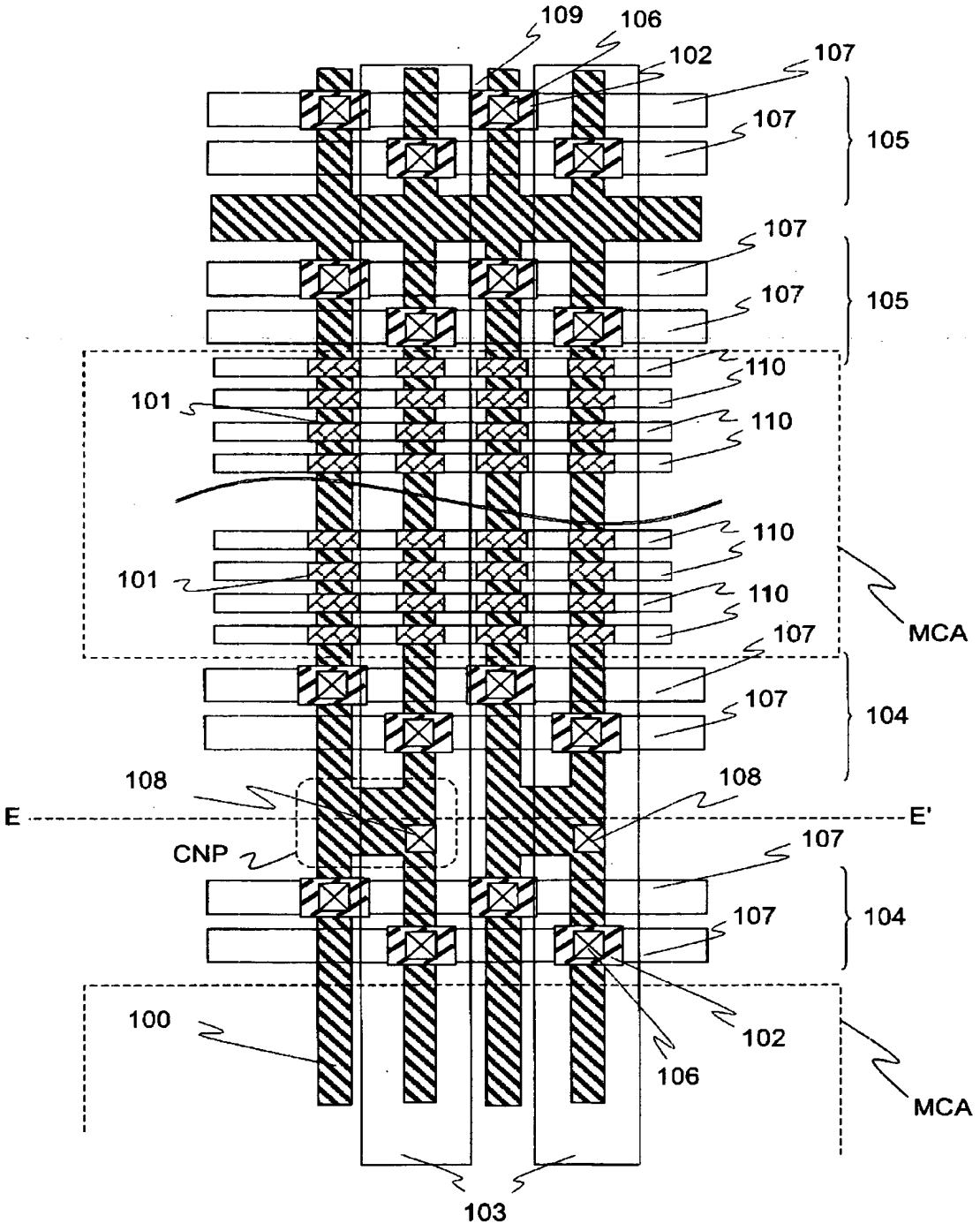
【図８】

図８


109
106
102
107
107
105
107
107
105
110
101
110
110
MCA
101
110
110
107
107
104
108
108
E
E'
CNP
107
107
104
100
102
106
MCA
103

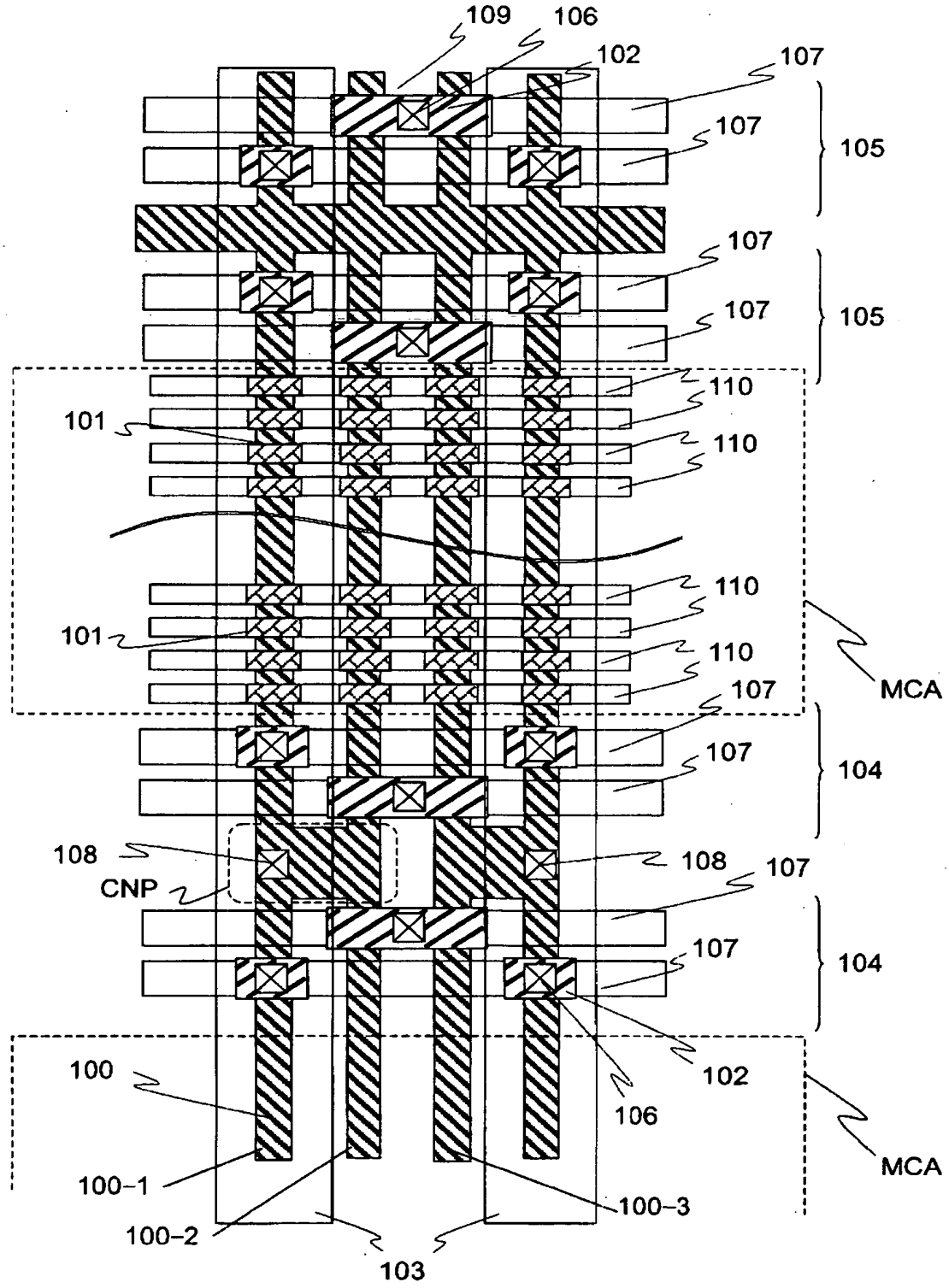
【図９】

図９


109
106
102
107
107
105
107
107
105
110
101
110
110
101
110
110
107
MCA
107
107
104
108
108
E
E'
CNP
107
107
104
100
102
106
MCA
103

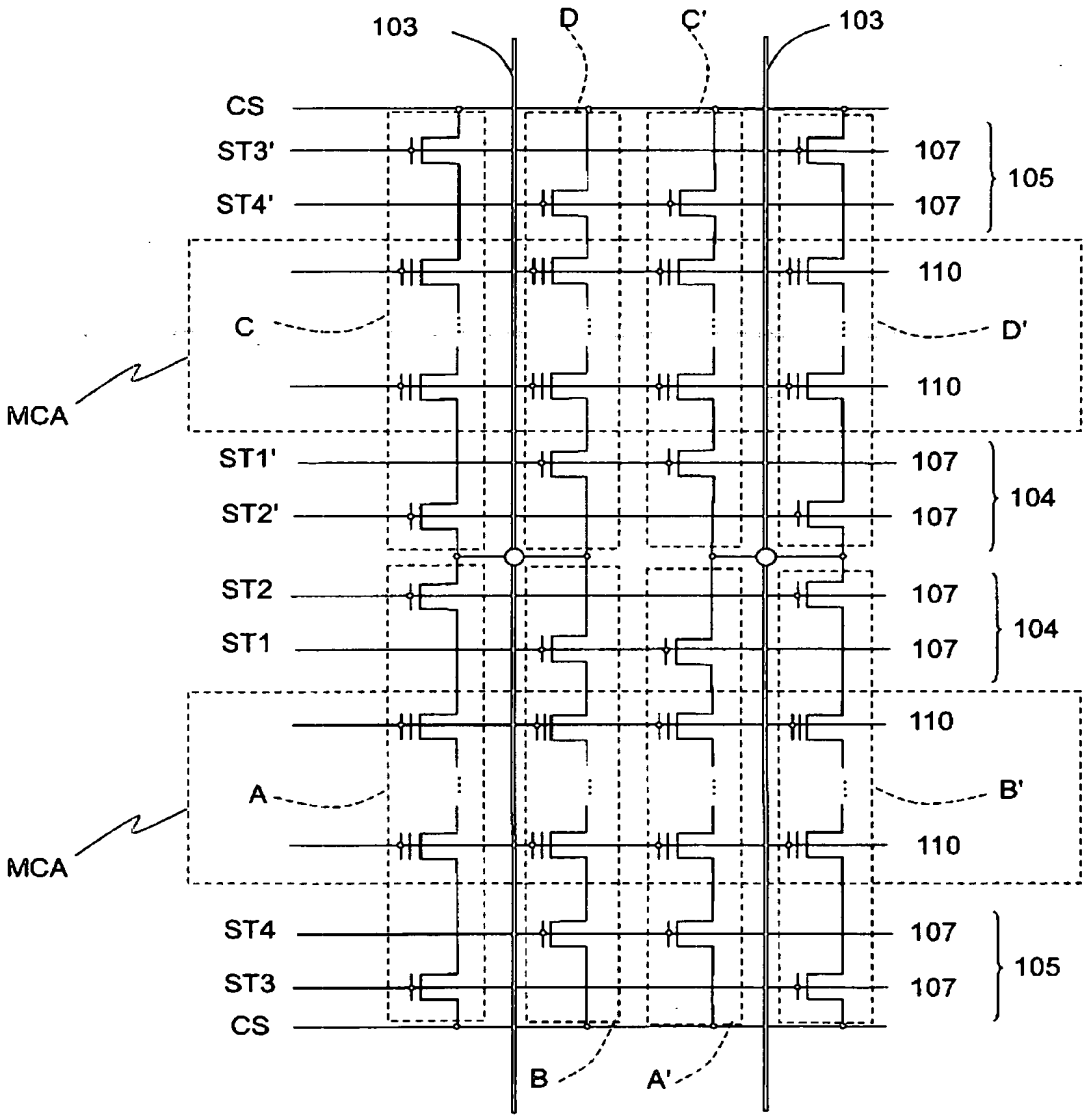
【図１０】

図１０


109
106
102
107
107
105
107
107
105
110
101
110
110
101
110
110
107
MCA
107
107
104
108
CNP
108
107
107
104
100
102
106
MCA
100-1
100-3
100-2
103

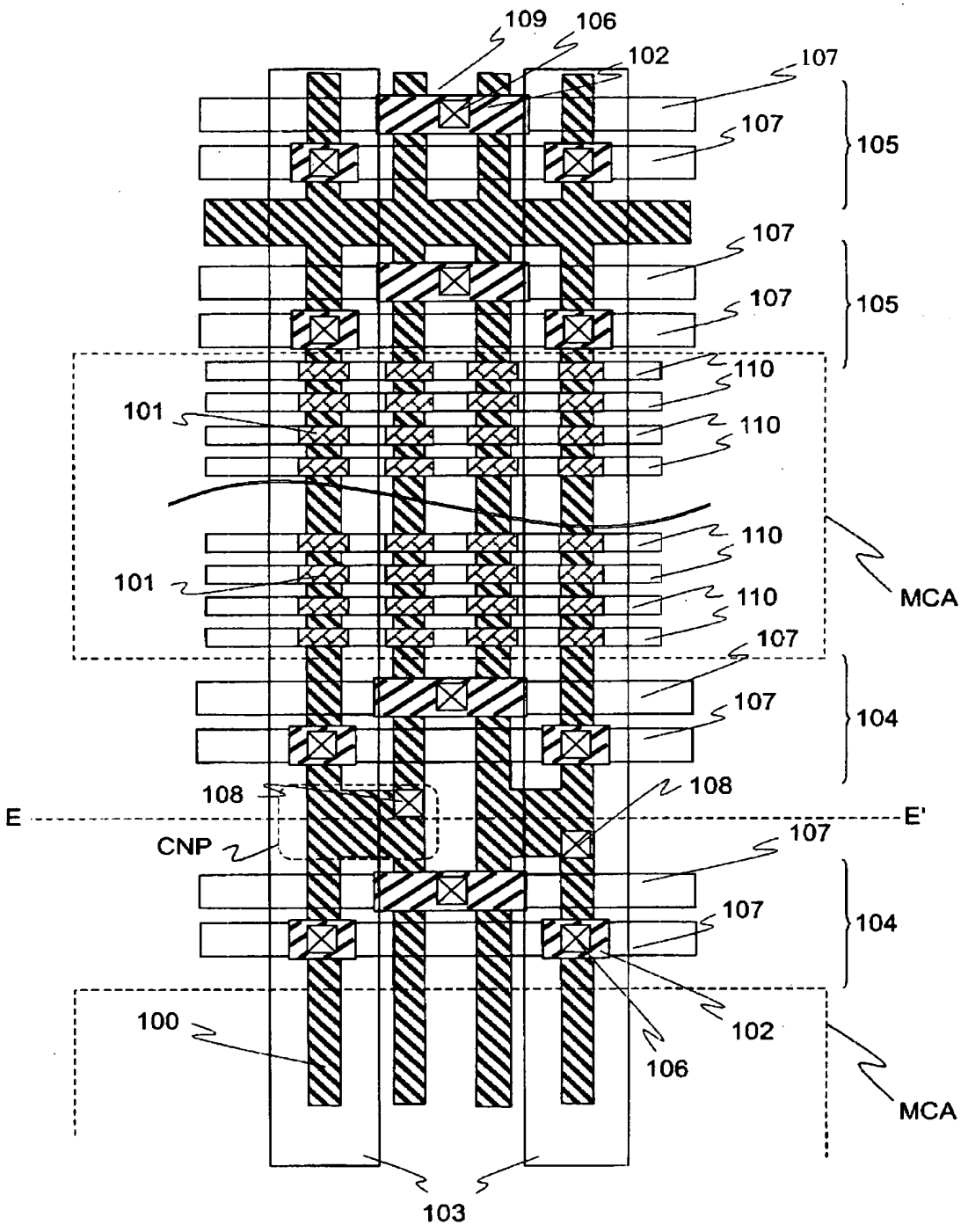
【図１１】

図１１


103
D
C'
103
CS
ST3'
ST4'
107
107
105
110
C
D'
110
MCA
ST1'
ST2'
107
107
104
ST2
ST1
107
107
104
110
A
B'
110
MCA
ST4
ST3
CS
107
107
105
B
A'

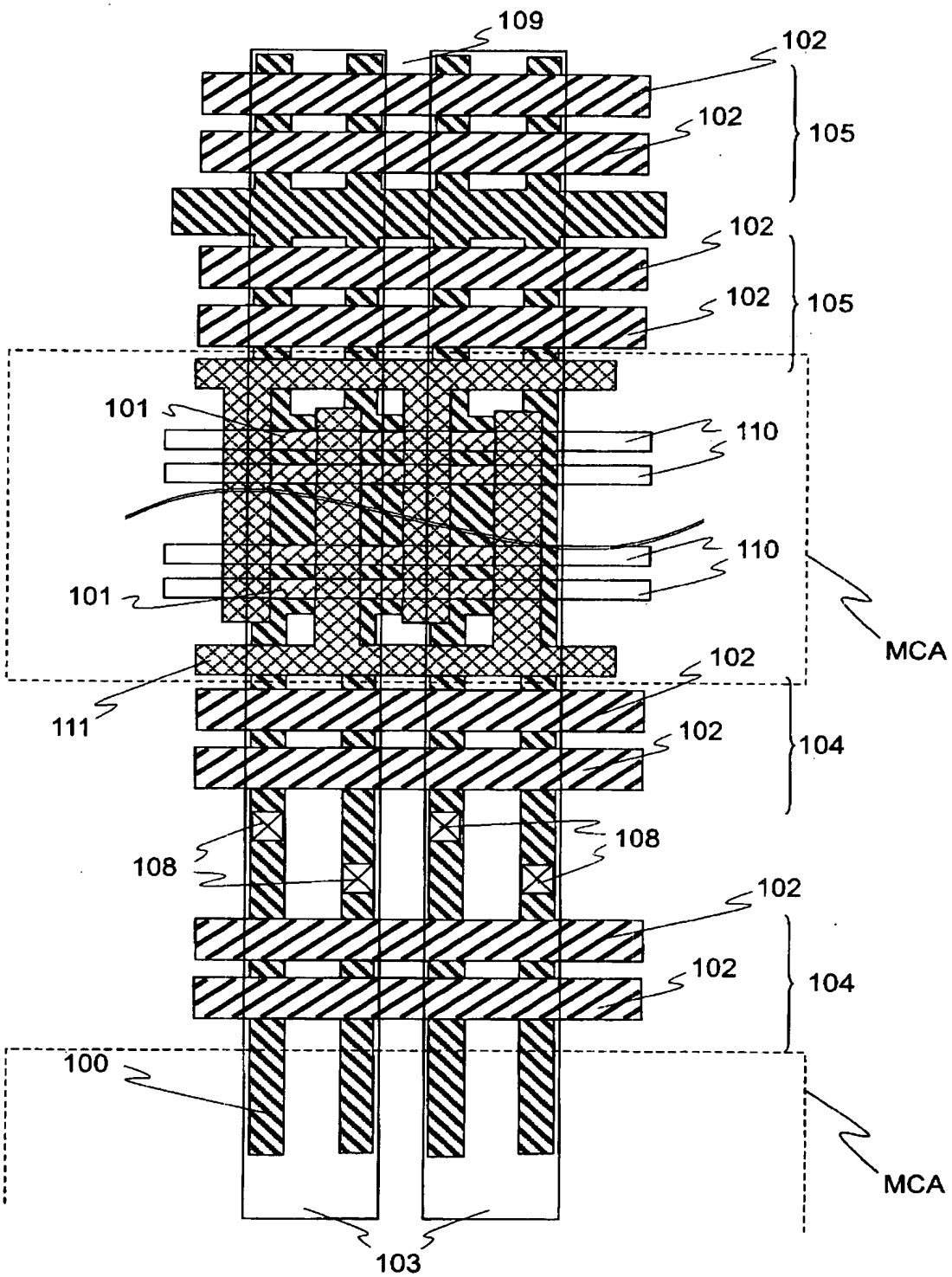
【図１２】

図１２


109
106
102
107
107
105
107
107
105
110
101
110
110
101
110
MCA
107
107
104
108
108
E
E'
CNP
107
107
104
100
102
106
MCA
103

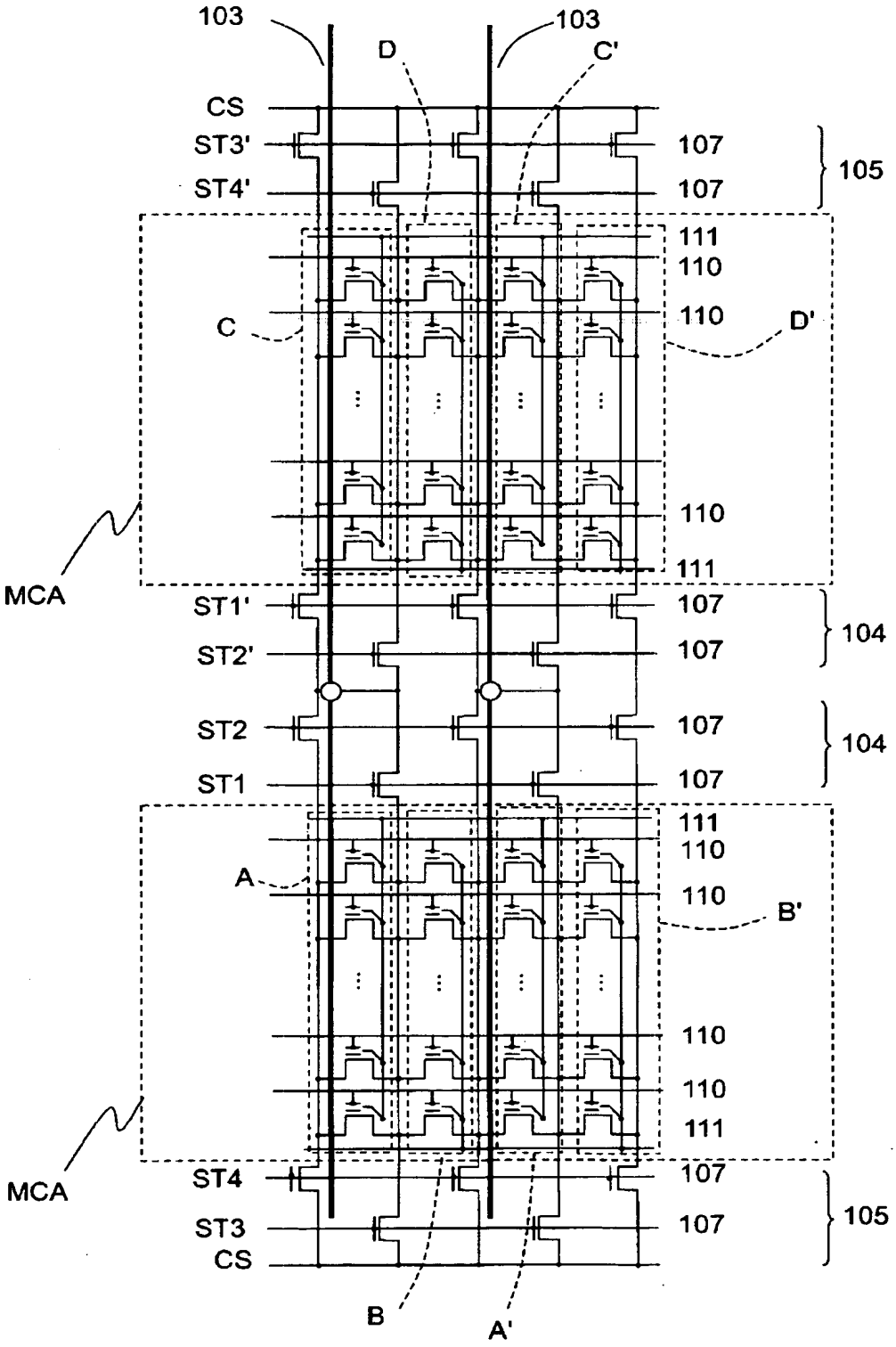
【図１３】

図１３


109
102
102
105
102
102
105
101
110
110
101
MCA
111
102
102
104
108
108
102
102
104
100
MCA
103

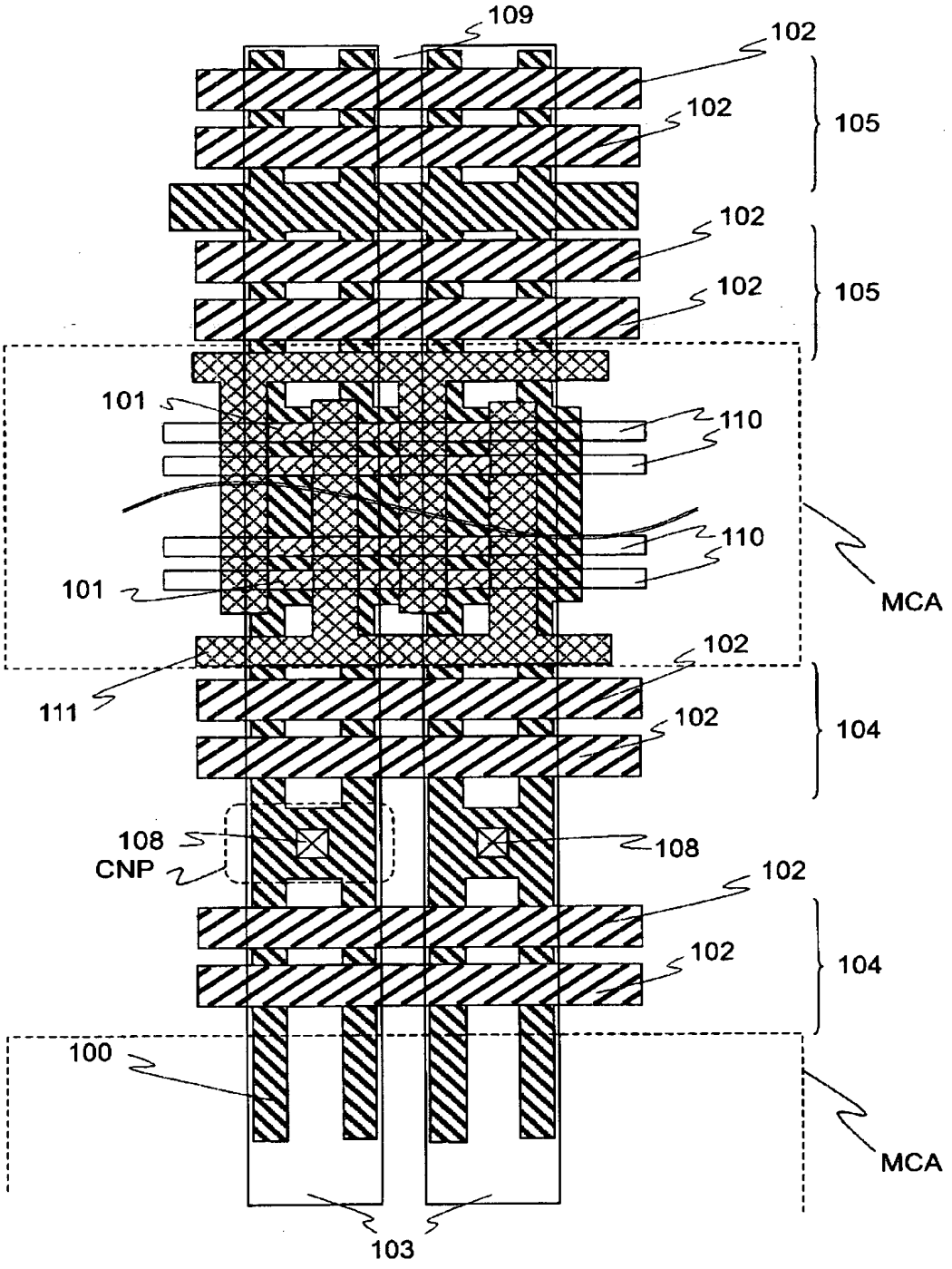
【図１４】

図１４


103
103
D
C'
CS
ST3'
ST4'
107
107
105
111
110
110
C
D'
110
111
MCA
ST1'
ST2'
107
107
104
ST2
ST1
107
107
104
111
110
110
A
B'
110
110
111
MCA
ST4
ST3
CS
107
107
105
B
A'

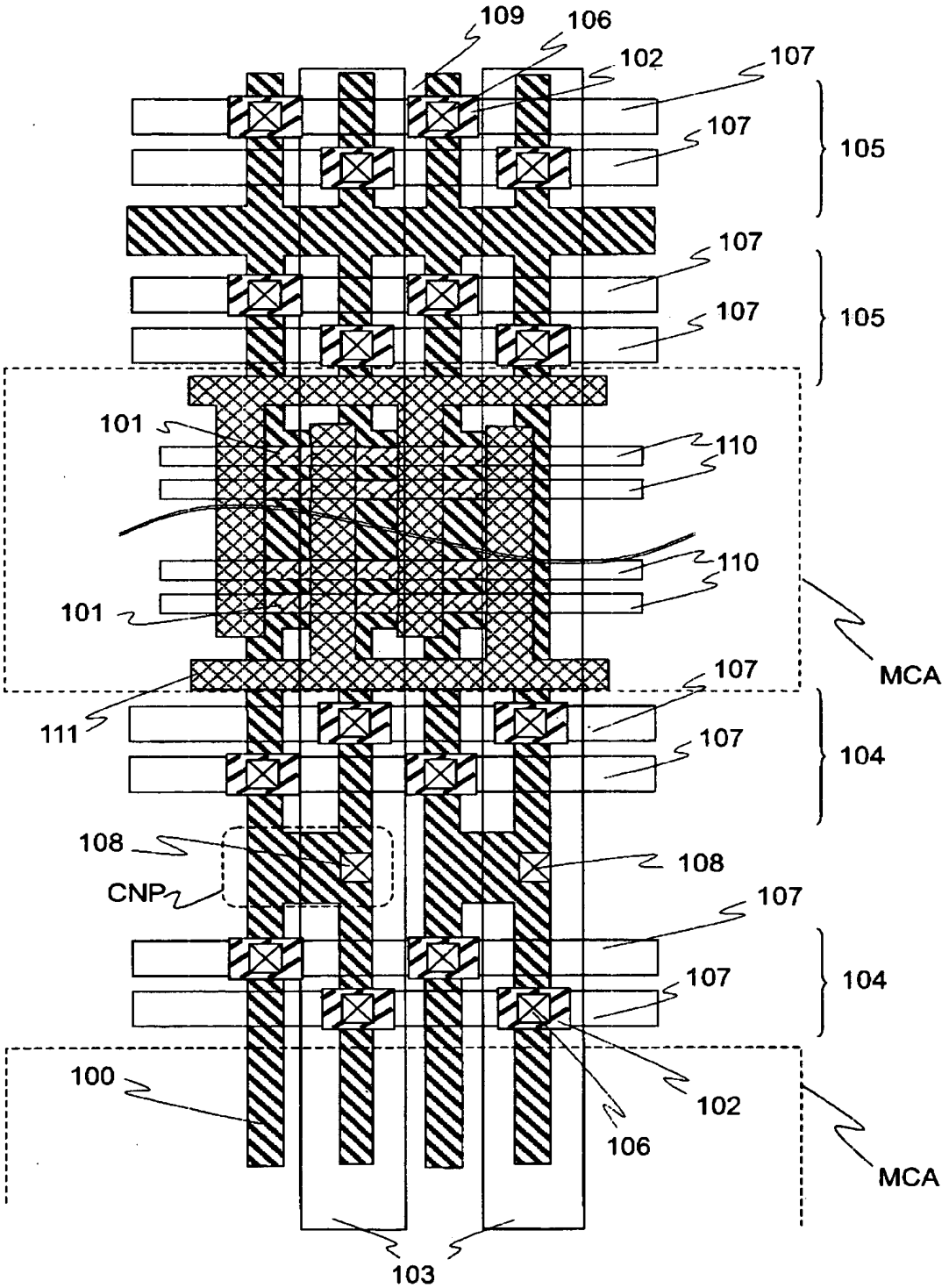
【図１５】

図１５


109
102
102
105
102
102
105
101
110
110
101
MCA
111
102
102
104
108
CNP
108
102
102
104
100
MCA
103

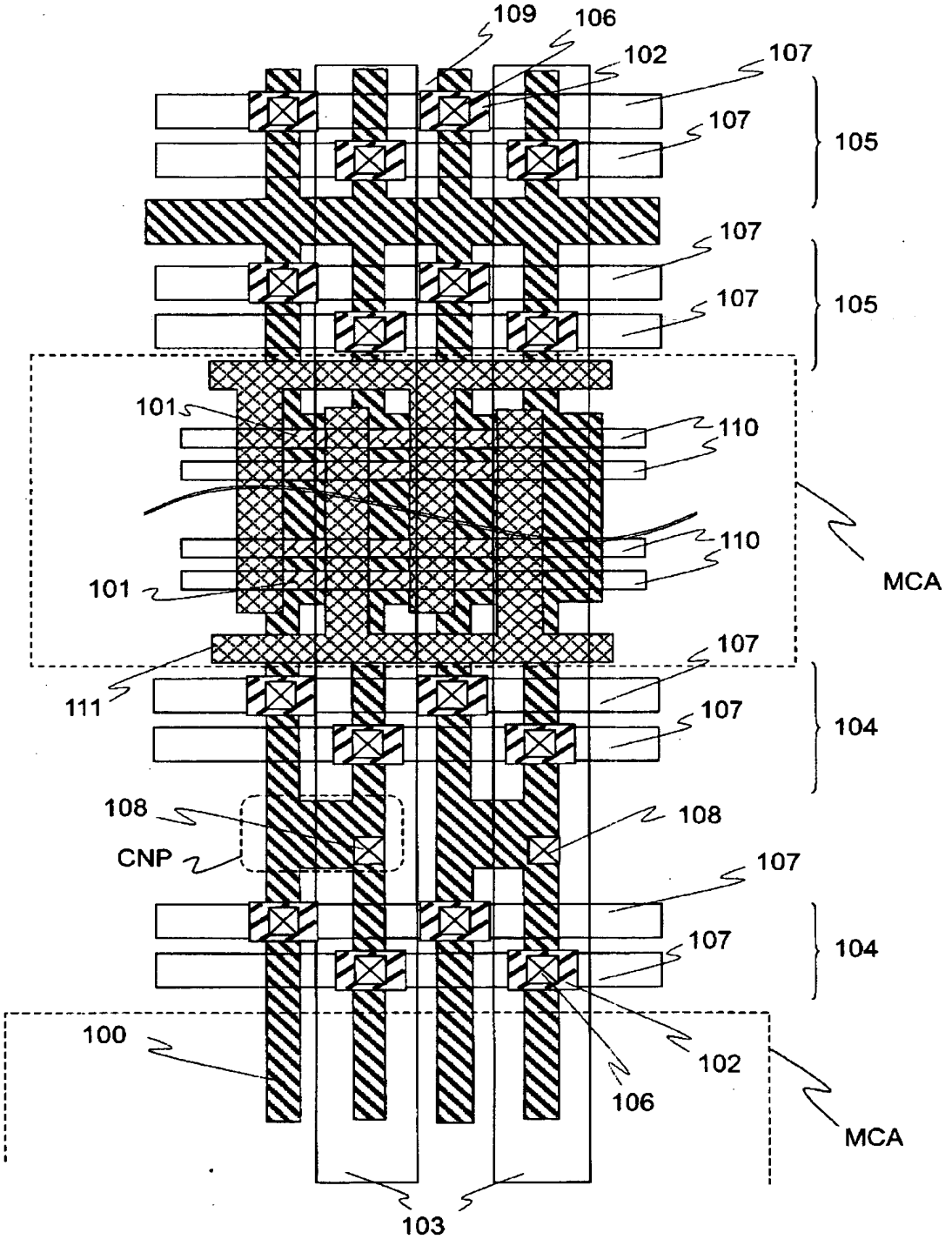
【図１６】

図１６


109
106
102
107
107
105
107
107
105
101
110
110
101
MCA
111
107
107
104
108
108
CNP
107
107
104
100
102
106
MCA
103

【図１７】

図１７


109
106
102
107
107
105
107
107
105
101
110
110
101
MCA
107
111
107
104
108
108
CNP
107
107
104
100
102
106
MCA
103

【書類名】要約書

【要約】

【課題】選択トランジスタ部の面積を縮小化するレイアウト構成により集積度を向上させた不揮発性半導体記憶装置を提供する。

【解決手段】選択トランジスタのゲート102を各アクティブ領域100上で分断し、第１選択トランジスタ部104と第２選択トランジスタ部105をグローバルビット線103に垂直な方向に２段に配置する。ゲート102は各段でアクティブ領域１本置きに、コンタクトホール106はアクティブ領域の結束部CNPのB-B'線に対して非線対称に配置する。ゲート102はコンタクトホール106を介し配線107に接続する。互いに隣接するアクティブ領域は、選択トランジスタ部105では全て結束し、選択トランジスタ部104では隣接する２本をH型に結束する。コンタクトホール108は、結束部に配置してグローバルビット線に接続する。

【効果】選択トランジスタ部のピッチをグローバルビット線方向に縮小できる。

【選択図】図１

【書類名】　出願人名義変更届（一般承継）
【あて先】　特許庁長官　殿
【事件の表示】
　【出願番号】　特願2002-300163
【承継人】
　【識別番号】　503121103
　【氏名又は名称】　株式会社ルネサステクノロジ
【承継人代理人】
　【識別番号】　100068504
　【弁理士】
　【氏名又は名称】　小川　勝男
【提出物件の目録】
　【包括委任状番号】　0308735
　【物件名】　承継人であることを証明する登記簿謄本　1
　　【援用の表示】　特許第３１５４５４２号　平成１５年４月１１日付け提出の会社分割による特許権移転登録申請書　を援用する
　【物件名】　権利の承継を証明する承継証明書　1
　　【援用の表示】　特願平４－３２１７５６号　同日提出の出願人名義変更届（一般承継）を援用する
【プルーフの要否】　要

認定・付加情報

特許出願の番号	特願２００２－３００１６３
受付番号	５０３０１２４９８１０
書類名	出願人名義変更届（一般承継）
担当官	神田　美恵　　７３９７
作成日	平成１５年　９月　３日

＜認定情報・付加情報＞

【提出日】　平成15年 7月29日

特願２００２－３００１６３

出　願　人　履　歴　情　報

識別番号　　［０００００５１０８］

１．変更年月日　　１９９０年　８月３１日
［変更理由］　　新規登録
住　所　　東京都千代田区神田駿河台４丁目６番地
氏　名　　株式会社日立製作所

特願２００２－３００１６３

出願人履歴情報

識別番号　［５０３１２１１０３］

１．変更年月日　２００３年　４月　１日
［変更理由］　新規登録
住　所　東京都千代田区丸の内二丁目４番１号
氏　名　株式会社ルネサステクノロジ